

Д.В. ЕФАНОВ, Е.И. ЕЛИНА

СИНТЕЗ САМОПРОВЕРЯЕМЫХ ЦИФРОВЫХ УСТРОЙСТВ С УЛУЧШЕННЫМИ ПОКАЗАТЕЛЯМИ КОНТРОЛЕПРИГОДНОСТИ

Ефанов Д.В., Елина Е.И. Синтез самопроверяемых цифровых устройств с улучшенными показателями контролепригодности.

Аннотация. Предложен метод синтеза полностью самопроверяемых цифровых устройств с улучшенными показателями контролепригодности. Решение основано на использовании принципа логической коррекции сигналов и свойств композиции равновесных кодов «1 из 4» и «3 из 4». Описаны особенности организации схемы встроенного контроля по двум диагностическим признакам: принадлежности формируемых кодовых слов композиции равновесных кодов «1 из 4» и «3 из 4», а также каждой функции, описывающей разряды кодовых слов в схеме встроенного контроля классу самодвойственных булевых функций. Приведена структура самопроверяемого цифрового устройства с контролем вычислений по двум диагностическим признакам. Разработаны алгоритмы синтеза схемы встроенного контроля на основе логической коррекции сигналов и композиции равновесных кодов «1 из 4» и «3 из 4», учитывающие требования по тестируемости ее компонентов в процессе эксплуатации. Предложен метод выделения подмножеств контролепригодных четверок выходов на множестве выходов объекта диагностирования, позволяющий гарантированно покрывать ошибки с помощью выбранной композиции равновесных кодов с учетом ее диагностических свойств. Даны некоторые результаты экспериментов с тестовыми схемами, демонстрирующие преимущества разработанного авторами метода синтеза самопроверяемых цифровых устройств по сравнению с известными: дублированием с контролем самодвойственности и с использованием кода «2 из 4» с дополнительным контролем самодвойственности. Разработанный метод может эффективно применяться при синтезе самопроверяемых цифровых устройств как на современной микроэлектронной базе, так и может рассматриваться в будущем при реализации устройств на новых физических принципах.

Ключевые слова: самопроверяемое цифровое устройство, логическая коррекция сигналов, схема встроенного контроля, контроль вычислений на выходах устройств, композиция равновесных кодов «1 из 4» и «3 из 4», обнаружение неисправностей.

1. Введение. Классические методы синтеза самопроверяемых цифровых устройств основаны на использовании свойств помехозащищенных и помехоустойчивых кодов, применяемых при кодировании состояний, входов и выходов, а также при проектировании схем встроенного контроля (СВК) [1 – 3]. При использовании кодирования состояний, входов и выходов цифровых устройств на этапе их синтеза для контроля неисправностей и ошибок в вычислениях уже в процессе эксплуатации используют самопроверяемые тестеры выбранных кодов. Вся избыточность за исключением схем тестеров и компараторов для получения единственной пары контрольных сигналов вносится в структуру самого цифрового устройства на этапе его проектирования. При синтезе СВК,

наоборот, структура исходного цифрового устройства (будем дальше говорить о нем, как об *объекте диагностирования*, поскольку в этом случае в процессе эксплуатации реализуется как раз рабочее диагностирование [4]) никак не изменяется, и вся избыточность вносится в них. Таким образом, в обоих подходах к реализации самопроверяемых цифровых устройств классические методы подразумевают дополнение некоторых информационных сигналов, реализуемых на входах и выходах исходных устройств, рядом контрольных сигналов. Их особенности и свойства напрямую определяются использованными помехозащищенными или помехоустойчивыми кодами [5].

Среди классических методов выделяются ставшие типовыми метод дублирования со сравнением сигналов (далее – просто дублирование) и метод контроля вычислений по паритету (далее – просто метод паритета). Метод дублирования при построении самопроверяемых цифровых устройств позволяет сделать процесс проектирования максимально простым за счет использования типовых устройств. Он основан на применении кодов с повторением. За счет возможностей покрытия любых сочетаний искажений на выходах объекта диагностирования дублирование широко распространено в практике синтеза высоконадежных и безопасных систем управления как на аппаратном [6], так и на программном уровнях реализации [7]. Исследования применения дублирования при различных способах реализации цифровых устройств актуальны и до сих пор [8]. Недостаток дублирования состоит в невозможности учета особенностей структур объектов диагностирования, что приводит практически в любых реализациях к внесению чрезмерной избыточности для решения задачи рабочего диагностирования. Диаметральнo противоположный метод паритета также широко распространен и основан на использовании функции свертки по модулю $M = 2$ всех сигналов с контролируемых выходов. СВК получается максимально простой, но при этом не все сочетания искажений на контролируемых выходах могут быть обнаружены. Решается задача обнаружения полного множества ошибок путем выделения подмножеств независимых выходов на множестве выходов объекта диагностирования, а сам метод, позволяющий это делать, хорошо известен из [9].

Известны подходы к синтезу СВК, учитывающие свойства реализуемых на выходах объекта диагностирования булевых функций. Например, могут быть реализованы устройства, в которых постоянные сигналы логического 0 и логической 1 представляются последовательностями 0101...01 и 1010...10 соответственно,

а сама их работа осуществляется при постоянной смене этих сигналов. Такой метод функционирования цифровых устройств некоторые исследователи называют методом инвертирования данных [10]. Он позволяет использовать свойства самодвойственных булевых функций для организации контроля вычислений и изучен в классических подходах к синтезу СВК в [11, 12].

Исследования последних лет в области синтеза самопроверяемых цифровых устройств сосредоточены в нескольких направлениях. Например, в [13] предложен метод синтеза СВК, принципиально отличающийся от известных тем, что связан с построением двоичного кода, исходя из свойств структуры объекта диагностирования и заданной модели неисправности. Такой код «наследует» свойства структур объектов диагностирования и применяется исключительно для организации СВК для них. Для каждого объекта диагностирования с новой структурой он строится вновь. Авторы [14] использовали этот метод в несколько иной интерпретации – для построения структуры с обнаружением неисправностей с определенной вероятностью, но не 100 %. В [15] предлагается использовать не полное множество кодовых слов некоторого помехозащищенного кода, а его подмножество для организации СВК, что также отличается от классических методов и требует модификаций контрольных схем тестеров, но также, как и затронутый выше ориентируется на свойства структуры объекта диагностирования. В [16] предложено при синтезе самопроверяемых цифровых устройств использовать сразу же два диагностических признака – контроль принадлежности кодовых слов выбранному помехозащищенному коду, а также контроль самодвойственности каждой функции, описывающей разряды кодовых слов, формируемых в СВК. Он исследовался в применении с различными кодами. И здесь можно отметить фундаментальные работы [17, 18] по применению классических кодов Хэмминга и их модификаций для организации СВК таким способом. При синтезе СВК с контролем по двум диагностическим признакам существенно повышаются показатели контролепригодности цифровых устройств в части наблюдаемости ошибок при рабочем диагностировании.

Особые структуры с контролем вычислений по двум диагностическим признакам получаются при использовании принципа логической коррекции сигналов (ЛКС), предложенного в [19, 20]. Принцип ЛКС, в отличие от классического подхода, ориентированного на дополнение информационных сигналов контрольными в СВК, подразумевает преобразование всех или части сигналов с выходов объекта диагностирования в СВК при подаче на его входы каждого

из наборов значений аргументов для придания формируемому кодовому вектору особых диагностических свойств. Исследования авторов настоящей статьи показывают, что принцип ЛКС можно эффективно использовать в сочетании с композициями хорошо известных равновесных кодов для построения самопроверяемых цифровых устройств с улучшенными показателями наблюдаемости. При этом особыми свойствами обладают структуры, синтезируемые с использованием композиции равновесных кодов «1 из 4» и «3 из 4» [21]. Изложению особенностей новейшего метода синтеза самопроверяемых цифровых устройств на основе принципа ЛКС и композиции равновесных кодов «1 из 4» и «3 из 4» и посвящена настоящая статья.

2. Особенности организации контроля вычислений на основе принципа логической коррекции сигналов и композиции равновесных кодов «1 из 4» и «3 из 4». Как отмечалось выше, при синтезе самопроверяемых цифровых устройств контроль может быть организован любым сочетанием следующих множеств точек контроля: входов объекта диагностирования, выходов элементов памяти и выходов объекта диагностирования. Как правило, комбинационные составляющие цифровых устройств выделяют среди всех схемных решений в устройстве, и контролируют вычисления на их выходах [22]. Для элементов памяти используют особые методы тестирования, например, основанные на разрыве цепей обратных связей и прогоне тестовых комбинаций (здесь речь уже идет о тестовом диагностировании устройств) [23].

Используем следующие исходные предпосылки. Положим, что $F(X)$ – некое цифровое устройство комбинационного типа, где $\langle X \rangle = \langle x_i, x_{i-1} \dots x_2 x_1 \rangle$ – вектор наборов значений аргументов (или входных воздействий). Так как речь идет о современных цифровых устройствах, то реализуются они в бинарной логике с применением компонентов, где базовой единицей является транзистор [24]. Его используют в цифровых схемах чаще всего в ключевом режиме и в режиме отсечки. Отсюда становится понятным, что устройство $F(X)$ должно реализовывать некоторые булевы функции $f_1(X), f_2(X), \dots, f_{n-1}(X), f_n(X)$, а вектор наборов значений аргументов также является булевым. Работа устройства может быть определена на полном множестве наборов значений аргументов, либо же на его подмножестве. Далее положим, что работа определена на полном множестве наборов значений аргументов, то есть осуществляется в режиме исчерпывающего тестирования. На суть излагаемых принципов, однако, это не повлияет.

Устройство $F(X)$ функционирует в импульсном режиме при подаче на входы не стационарных наборов значений аргументов с фиксированными значениями 0 и 1, а при подаче последовательностей, соответствующих сигналам логического 0 и логической 1. Сигналу логического 0 соответствует последовательность 0101...01, а сигналу логической 1 – последовательность 1010...10. Сам по себе данный режим не организуется постоянной сменой сигналов на входах, а сигналы от входов $x_1, x_2, \dots, x_{t-1}, x_t$ трансформируются в последовательности путем использования специальной схемы преобразования. Она реализуется на t двухвходовых элементах сложения по модулю $M=2$ (XOR). На один из входов каждого XOR подается сигнал с соответствующего входа $x_1, x_2, \dots, x_{t-1}, x_t$, а на второй – сигнал a с генератора G прямоугольных импульсов со скважностью 2, что позволяет осуществлять преобразования по правилу:

$$x_i^a = x_i \oplus a, \quad i = \overline{1, t}. \quad (1)$$

Поскольку сигнал a представляет собой последовательность нулей и единиц, стационарные сигналы логических 0 и 1 трансформируются в последовательности импульсов, что следует из формулы (1). Поэтому на входы устройства $F(X)$ наборы значений аргументов поступают парами. Наборы из данной пары всегда ортогональны по всем разрядам. При подаче первого набора значений аргументов формируется информационное кодовое слово, а при подаче второго – контрольное. Таким образом, меняется принцип организации контроля вычислений относительно классических подходов – контрольные сигналы следуют сразу же за информационными, а соответствие их проверяется в одном такте работы. Иными словами, требуется использование временной избыточности для реализации работы устройства. Это, однако, и позволяет организовать контроль вычислений сразу же по двум диагностическим признакам.

На структуру устройства $F(X)$ не накладывается никаких ограничений, кроме обозначенных ранее свойств. Для контроля возникающих в его структуре неисправностей обустраивается специализированная СВК (Рис. 1). Она содержит блок $G(X)$ вычисления значений функций коррекции, сам блок коррекции сигналов (БКС), а также модуль контроля вычислений по двум диагностическим признакам (МКВ).

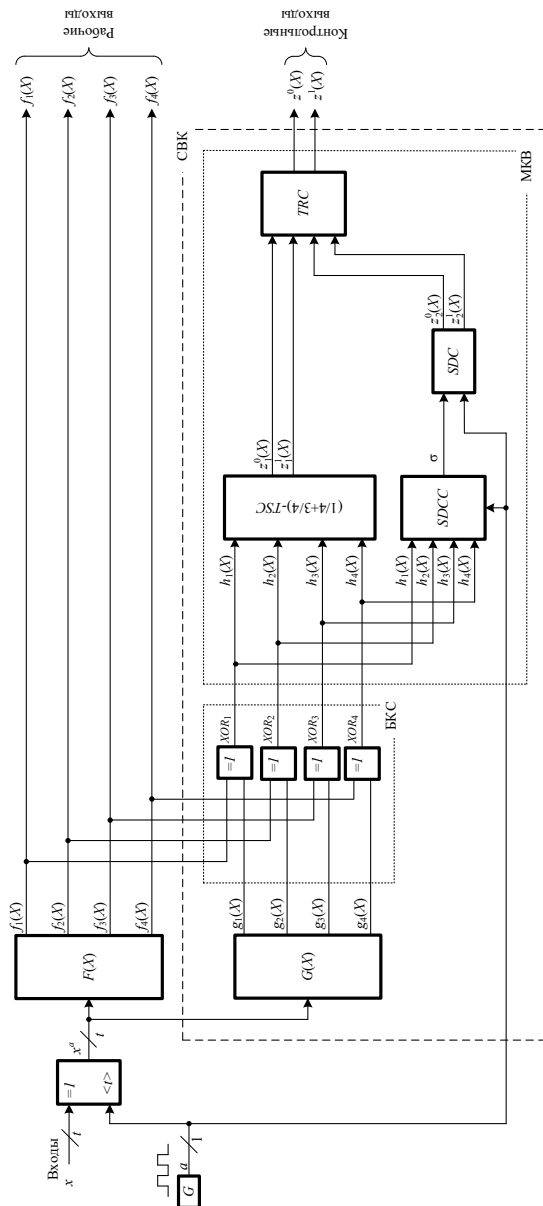


Рис. 1. Структура самопроверяемого цифрового устройства с контролем вычислений по двум диагностическим признакам

В качестве основы для синтеза СВК выбирается композиция равновесных кодов «1 из 4» и «3 из 4». Поясним, почему требуется выбор именно такой композиции и что в ней особенного.

В [17, 18] показано, что для организации контроля вычислений по двум диагностическим признакам требуется на каждой паре наборов значений аргументов, поступающих на входы объекта диагностирования, обеспечить формирование ортогональных по всем разрядам кодовых слов. Это возможно не для любого двоичного кода. Например, использование классического кода с суммированием (кода Бергера) [25] или его модификаций при суммировании в кольце вычетов по модулю $M = 4$ или $M = 8$ (кодов Боуза – Лина) [26], а также любых равновесных кодов, отличных от вида « r из $2r$ », где r – вес кодового слова, не отвечает данным требованиям. Тот же код «1 из 4» содержит следующие кодовые слова: {0001, 0010, 0100, 1000}. Как следует из анализа данного множества, в него не входят пары ортогональных по всем разрядам кодовых слов. Добиться этого свойства можно объединением множеств кодовых слов кодов «1 из 4» и «3 из 4», что даст следующие пары ортогональных по всем разрядам кодовых слов: {0001, 1110}, {0010, 1101}, {0100, 1011}, {1000, 0111}. Конечно же, увеличение мощности множества кодовых слов влечет за собой и ухудшение обнаруживающих свойств получаемого кода, однако, как будет показано далее, это ухудшение «парируется» на схемотехническом уровне реализации СВК путем использования особого метода выделения контролепригодных по заданному коду выходов.

Еще одним крайне важным фактором выбора именно композиции равновесных кодов «1 из 4» и «3 из 4» является простота ее полностью самопроверяемого тестера и малая длина проверяющего теста для него. Его структура разработана авторами настоящей статьи в [21] и изображена на рисунке 2.

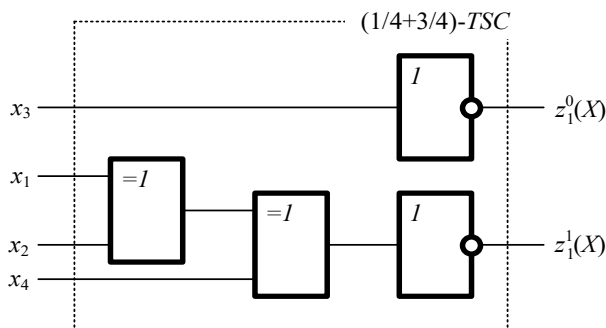


Рис. 2. Тестер композиции равновесных кодов «1 из 4» и «3 из 4»

Структура тестера абсолютно проста и по сложности соизмерима с простейшим тестером для равновесного кода «2 из 4». Для ее полной проверки достаточно на входы подать следующие комбинации, принадлежащие заданной композиции:

$$T_{II} = T_{II_1} \cup T_{II_2} = \{1000 \cap 0010 \cap 1101 \cap 0111\} \{0001 \cap 1011 \cap 0100 \cap 1110\}. \quad (2)$$

В (2) представлены все проверяющие тесты T_{II_1} и T_{II_2} , длина каждого из которых равна 4. Это минимально возможная длина проверяющего теста в принципе, для самопроверяемых тестеров равновесных кодов [27].

Наличие простейшего тестера с минимальной длиной проверяющего теста открывает хорошие перспективы использования данной композиции равновесных кодов при синтезе цифровых устройств со свойствами контролепригодности, самопроверяемости и отказоустойчивости.

Итак, СВК строится не для всех выходов объекта диагностирования, а для подмножества из четырех его выходов. Обозначим их следующим образом: $\{f_1(X), f_2(X), f_3(X), f_4(X)\}$.

БКС представляет собой каскад параллельно расположенных двухвходовых XOR . На один из входов каждого элемента XOR подается сигнал с j -го выхода объекта диагностирования, а на второй – с j -го выхода блока $G(X)$. Это позволяет выполнить коррекцию вида:

$$h_j(X) = f_j(X) \oplus g_j(X), \quad j = \overline{1, 4}. \quad (3)$$

В соответствии с (3) для коррекции используются именно элементы XOR , поскольку они позволяют любой из сигналов 0 (1) преобразовать в любой из сигналов 0 (1). Аналогичным свойством обладает еще одна элементарная булева функция – функция эквивалентности, реализуемая элементом $XNOR$. Он может использоваться как альтернативный. Иные элементарные булевы функции могут быть использованы только в ряде частных случаев структур объектов диагностирования.

Коррекция сигналов $f_j(X)$, $j = \overline{1, 4}$, осуществляется таким образом, чтобы выполнялись следующие условия:

1. Кодовые слова $\langle h_4(X) h_3(X) h_2(X) h_1(X) \rangle$, формируемые на выходах БКС, должны принадлежать композиции равновесных кодов «1 из 4» и «3 из 4» при поступлении каждого из наборов значений аргументов.

2. Каждая из функций $h_j(X)$, $j = \overline{1, 4}$, должна принадлежать классу самодвойственных булевых функций.

Корректность выполнения обозначенных условий устанавливается на этапе проектирования СВК и проверяется в процессе ее эксплуатации МКВ. В данном модуле выделено две подсхемы контроля: по принадлежности к кодовым словам композиции равновесных кодов «1 из 4» и «3 из 4» и по принадлежности функций к классу самодвойственных. Первая подсхема образована тестером данной композиции – устройством $(1/4+3/4)$ -TSC (totally self-checking checker) (Рис. 2). Данное устройство имеет два выхода $z_1^0(X)$ и $z_1^1(X)$. Именно два выхода требуется потому, что данное устройство является «последним сторожем» в подсхеме контроля. Неисправности элемента, связанного с единственным выходом, не обнаруживались бы. Вторая подсхема содержит два устройства: схему сжатия самодвойственных сигналов (*SDCC* – self-dual compression circuit) [11] и тестер самодвойственных сигналов (*SDC* – self-dual checker) [16 – 18]. Схема сжатия строится на трехвыходовых *XOR* по формуле:

$$\sigma = [h_1(X) \oplus h_2(X) \oplus h_3(X)] \oplus h_4(X) \oplus a]. \quad (4)$$

Вложенные скобки в (4) вида [...] обозначают сложение на первом *XOR*, а внешние – на втором *XOR*.

Самодвойственность сигнала σ контролируется с помощью специального тестера самодвойственного сигнала. Его структура приведена на рисунке 3. При помощи линии задержки, равной одному такту импульсной последовательности a , сигнал σ преобразуется в двухфазный сигнал $\langle v_1 \ v_2 \rangle$. При отсутствии ошибок в импульсной последовательности в контрольных тактах в точках v_1 и v_2 формируются сигналы с противоположными значениями. В рабочих тактах могут формироваться сигналы как с одинаковыми, так и с противоположными значениями. При наличии ошибки в сигнале в некотором периоде в контрольном такте этого периода в точках v_1 и v_2 всегда формируются сигналы с одинаковыми значениями. Отсюда следует, что контроль самодвойственного сигнала можно осуществлять только в контрольном такте. Схема *SDC* преобразует самодвойственный сигнал σ в пространственный парафазный сигнал $\langle z_2^1(X) \ z_2^0(X) \rangle$. При этом во время рабочего такта, когда $a = 0$, значения сигналов на выходах $z_2^1(X)$ и $z_2^0(X)$ не зависят от сигналов в точках v_1 и v_2 , а на них всегда формируется парафазный сигнал $\langle 10 \rangle$. Во время контрольного такта, когда $a = 1$, устанавливаются равенства $z_2^1(X) = v_2$ и $z_2^0(X) = v_1$,

а следовательно, осуществляется контроль самодвойственного сигнала в текущем периоде.

Выходы отдельных подсистем контроля по разным диагностическим признакам подключаются к входам одного модуля сжатия парафазных сигналов *TRC* (two-rail checker) [28] для получения одной пары наблюдаемых контрольных выходов $z^0(X)$ и $z^1(X)$.

Важной схемотехнической особенностью СВК является то, что БКС должен быть построен таким образом, чтобы корректировались сигналы со всех четырех выходов выделяемого подмножества выходов объекта диагностирования.

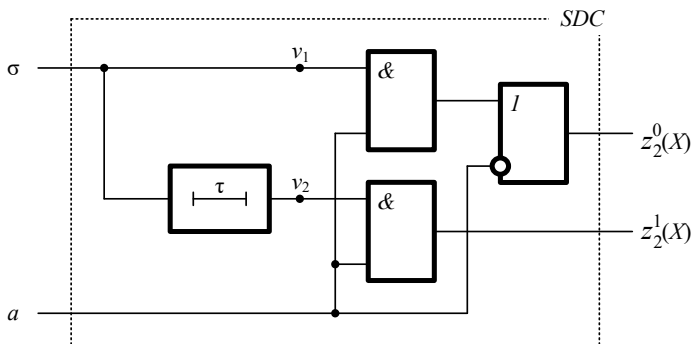


Рис. 3. Тестер самодвойственного сигнала

Теорема 1. Обеспечить условия функционирования СВК с контролем вычислений по признаку принадлежности композиции равновесных кодов «1 из 4» и «3 из 4» и классу самодвойственных булевых функций для любых устройств $F(X)$ можно тогда и только тогда, когда корректируются все четыре сигнала от объекта диагностирования.

Доказательство. Предположим, что условие теоремы неверно. Тогда можно использовать меньшее количество элементов коррекции в СВК. Пусть оно равно трем. Тогда, к примеру, $h_4(X) = f_4(X)$, а для остальных выходов используется коррекция вида (3).

Скорректировать любое кодовое слово $\langle f_4(X) f_3(X) f_2(X) f_1(X) \rangle$ в кодовое слово $\langle h_4(X) h_3(X) h_2(X) h_1(X) \rangle$, принадлежащее композиции равновесных кодов «1 из 4» и «3 из 4», в этом случае можно всегда, так как при всех значениях $f_4(X)$ можно во множестве кодовых слов заданной композиции найти требуемый вариант: для случая $\langle 0 h_3(X) h_2(X) h_1(X) \rangle$ – это слова из множества $\{0001, 0010, 0100, 0111\}$,

для случая $\langle 1 h_3(X) h_2(X) h_1(X) \rangle$ – это слова из множества $\{1000, 1110, 1101, 1011\}$.

Второе условие говорит о том, что каждая функция $h_j(X)$ должна быть самодвойственной. Положим, что значение функции $h_4(X)$ контролироваться не будет вовсе и на нее ограничений не накладывается (это потенциально возможно). Определим, можно ли в таком случае обеспечить самодвойственность оставшихся функций при установлении значений векторов $\langle h_4(X) h_3(X) h_2(X) h_1(X) \rangle$ на этапе проектирования СВК. Самодвойственная функция на ортогональных наборах значений аргументов принимает противоположные значения, поэтому нужно обеспечить это свойство для каждой функции $h_j(X)$. Однако если на таких наборах $f_4(X)$ не меняет своего значения, то имеется два случая кодовых слов: $\langle 0 h_3(X) h_2(X) h_1(X) \rangle$, $\langle 0 h_3(X) h_2(X) h_1(X) \rangle$ и $\langle 1 h_3(X) h_2(X) h_1(X) \rangle$, $\langle 1 h_3(X) h_2(X) h_1(X) \rangle$. Анализ множества слов композиции равновесных кодов «1 из 4» и «3 из 4» показывает, что для каждой из указанных пар в выбранной композиции равновесных кодов не существует требуемых кодовых слов. При увеличении числа не корректируемых сигналов указанная особенность сохраняется.

Таким образом, предположение неверно и теорема доказана. ■

Можно обратить внимание на то, что коррекция всех четырех сигналов от объекта диагностирования соответствует по избыточности дублированию. Однако за счет возможностей оптимизации структуры блока $G(X)$ можно добиться снижения показателей структурной избыточности СВК. Структуры всех контрольных блоков СВК при этом стандартны и просты. Тут также следует подчеркнуть, что при описанной организации СВК при незначительном ее усложнении достигается существенный эффект в части обнаружения неисправностей. Исследования [17, 18] показывают, что достигается увеличение показателя наблюдаемости неисправностей до 20-25 % в зависимости от структуры и конфигурации связей с входами объекта диагностирования, элементами его внутренней структуры и выходами объекта диагностирования. Аналогично может быть организовано и дублирование в импульсном режиме функционирования для повышения показателей наблюдаемости неисправностей. Именно с данной структурой целесообразно дальнейшее сравнение предложенной авторами структуры.

3. Синтез полностью самопроверяемой структуры схемы встроенного контроля. В структуре рисунка 1 все элементы являются типовыми, кроме блока $G(X)$ вычисления значений функций коррекции. Он строится на этапе проектирования СВК с учетом

особенностей структуры объекта диагностирования $F(X)$: на каждом наборе значений аргументов следует установить требуемые значения на выходах блока $G(X)$ с учетом значений на выходах блока $F(X)$.

Теорема 2. Число способов построения СВК без учета тестируемости элементов коррекции сигналов равно:

$$N = 2^{3 \cdot 2^{t-1} - 2}. \quad (5)$$

Доказательство. Всего существует 2^t наборов значений аргументов. Поскольку речь идет о самодвойственных функциях $h_j(X)$, $j = \overline{1, 4}$, то их значения требуется установить на половине наборов – на 2^{t-1} наборах значений аргументов, соответствующих десятичным числам $0 \dots 2^{t-1} - 1$. Если брать полное множество кодовых слов, а не только подмножества T_{Π_1} или T_{Π_2} из (2), то потребуется обеспечить хотя бы единожды формирование каждого из наборов, входящих в T_{Π_1} (T_{Π_2}) при формировании полных тестов для элементов XOR . Обратим внимание, что в формуле (2) в каждом из подмножеств T_{Π_1} (T_{Π_2}) присутствует ровно по две пары ортогональных по всем разрядам кодовых слов. Это означает, что достаточно выбрать одно из двух подмножеств и хотя бы единожды сформировать одно из слов в паре на первой половине наборов значений аргументов $0 \dots 2^{t-1} - 1$. Выбор первого слова может быть осуществлен восемью способами для любого из наборов значений аргументов $0 \dots 2^{t-1} - 1$, второго для любого из оставшихся – уже двумя. Автоматически будут сформированы и кодовые слова, ортогональные выбранным по всем аргументам на соответствующих наборах из второй половины $2^{t-1} \dots 2^t - 1$. На оставшихся $2^{t-1} - 2$ наборах значений аргументов из первой их половины можно использовать любые из кодовых слов полного их множества. Число способов установления значений равно восьми для каждого набора. Отсюда становится ясным следующее:

$$\begin{aligned} N &= 8 \cdot 2 \cdot 8^{2^{t-1}-2} = 2 \cdot 8^{2^{t-1}-1} = 2 \cdot (2^3)^{2^{t-1}-1} = \\ &= 2^{3 \cdot 2^{t-1}-3+1} = 2^{3 \cdot 2^{t-1}-2}. \end{aligned} \quad (6)$$

Выражение (6) приводит к формуле (5), что и требовалось доказать. ■

Ясно, что число способов построения СВК в соответствии с (5) растет с ростом t . Поэтому требуется использовать какие-либо зафиксированные последовательности действий при синтезе СВК.

Одним из таких алгоритмов является следующий, основанный на использовании всех восьми кодовых слов композиции равновесных

кодов «1 из 4» и «3 из 4» при равномерном их использовании. Такой алгоритм позволяет упростить процедуру полной проверки $(1/4+3/4)\text{-}TSC$, однако требует проверки тестируемости каждого из элементов коррекции, схемы сжатия и SDC . Уже при небольших значениях $t \geq 4$ тестируемость обеспечить просто, а с ростом t – вероятность автоматической генерации тестов возрастает. При этом возможности обеспечения тестируемости компонентов СВК зависят от распределения возможных кодовых слов на выходах объекта диагностирования – они должны быть достаточно разнообразны.

Алгоритм 1. Правила синтеза блока $G(X)$:

1. Определяется так называемый коэффициент заполняемости μ , характеризующий то, какое количество раз будет повторяться каждое кодовое слово композиции равновесных кодов «1 из 4» и «3 из 4»:

$$\mu = \frac{2^t}{8} = 2^{t-3}. \quad (7)$$

2. Наборы значений аргументов упорядочиваются. Им в соответствие ставятся десятичные эквиваленты $0 \dots 2^t - 1$.

3. На основании (7) определяются наборы значений аргументов, на которых повторяются кодовые слова из множества кодовых слов кода «1 из 4».

3.1. На наборах значений аргументов, соответствующих числам $0 \dots 2^{t-3} - 1$, устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 0001 \rangle$.

3.2. На наборах значений аргументов, соответствующих числам $2^{t-3} \dots 2 \cdot 2^{t-3} - 1$, устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 0010 \rangle$.

3.3. На наборах значений аргументов, соответствующих числам $2 \cdot 2^{t-3} \dots 3 \cdot 2^{t-3} - 1$, устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 0100 \rangle$.

3.4. На наборах значений аргументов, соответствующих числам $3 \cdot 2^{t-3} \dots 2^{t-1} - 1$, устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 1000 \rangle$.

4. Кодовые слова из множества кодовых слов кода «3 из 4» получают путем инвертирования разрядов кодовых слов на взаимно инверсных наборах значений аргументов из первой их половины.

5. Проверяются условия тестируемости элементов коррекции, схемы сжатия SDC (для схемы сжатия используются тесты элементов XOR (в самом общем случае – в канонической

форме реализации), элемент SDC тестируется на одной паре инверсных комбинаций при подаче всего двух циклов импульсов и пауз с генератора G , что видно по структуре рисунка 3). Если проверяющие тесты на заданных наборах значений аргументов не формируются для какого-либо устройства, то осуществляется изменение части установленных кодовых слов без нарушений условий формирования кодовых слов заданной композиции равновесных кодов «1 из 4» и «3 из 4» и самодвойственности каждой функции $h_j(X)$, $j = \overline{1, 4}$. Изменения делаются выборочно аналогично тому, как это предложено в [29].

6. Рассчитываются значения функций коррекции:

$$g_j(X) = f_j(X) \oplus h_j(X), \quad j = \overline{1, 4}. \quad (8)$$

Формула (8) непосредственно следует из (3).

7. Получаются выражения, описывающие функции блока $G(X)$.

8. При необходимости функции оптимизируются.

9. Блок $G(X)$ реализуется в выбранном элементном базисе.

Приведем пример использования алгоритма 1.

Пример 1. Для устройства, заданного в первых девяти столбцах таблицы 1, привести описание работы блока $G(X)$.

Решение. Пользуясь непосредственно алгоритмом 1, определим значение $\mu = 2^{4-3} = 2$. Далее на наборах $0 \dots 2^{4-3} - 1 = 1$ устанавливаем значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 0001 \rangle$; на наборах $2^{4-3} = 2 \dots 2 \cdot 2^{4-3} - 1 = 3 - \langle 0010 \rangle$; на наборах $2 \cdot 2^{4-3} = 4 \dots 3 \cdot 2^{4-3} - 1 = 5 - \langle 0100 \rangle$; на наборах $3 \cdot 2^{4-3} = 6 \dots 2^{4-1} - 1 = 7 - \langle 1000 \rangle$. Далее получают значения функций $h_j(X)$, $j = \overline{1, 4}$, на наборах $2^{4-1} = 8 \dots 2^4 - 1 = 15$. Проверяем формирование полного множества тестовых комбинаций для элементов преобразования (они записаны в последних четырех столбцах таблицы 1).

Анализ формулы (2) показывает, что алгоритм 1 может быть модифицирован под использование не полного множества кодовых слов композиции равновесных кодов «1 из 4» и «3 из 4», а под использование только тех кодовых слов, которые входят отдельно в T_{Π_1} и T_{Π_2} . Это следует из того, что проверяющие тесты содержат ровно по две пары ортогональных по всем разрядам кодовых слов. Тогда можно предложить следующий алгоритм синтеза блока $G(X)$ с учетом использования неполного множества кодовых слов композиции равновесных кодов «1 из 4» и «3 из 4».

Алгоритм 2. Правила синтеза блока $G(X)$ при условии формирования проверяющего теста T_{Π_1} и использовании только входящих в него кодовых слов:

1. Определяется коэффициент заполняемости μ , характеризующий то, какое количество раз будет повторяться каждое кодовое слово из T_{Π_1} :

$$\mu = \frac{2^t}{4} = 2^{t-2}. \quad (9)$$

2. Наборы значений аргументов упорядочиваются. Им в соответствие ставятся десятичные эквиваленты $0 \dots 2^t - 1$.

3. Кодовые слова из проверяющего теста разбиваются на пары $\{1000, 0111\}$ и $\{0010, 1101\}$.

3.1 На наборах значений аргументов, соответствующих числам $0 \dots 2^{t-2} - 1$, что следует из (9), устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 1000 \rangle$.

3.2 На наборах значений аргументов, соответствующих числам $2^{t-2} \dots 2^{t-1} - 1$, что также следует из (9), устанавливают значения разрядов вектора $\langle h_4(X) \ h_3(X) \ h_2(X) \ h_1(X) \rangle$ до кодового слова $\langle 0010 \rangle$.

4. Кодовые слова $\langle 0111 \rangle$ и $\langle 1101 \rangle$ получают путем инвертирования разрядов кодовых слов на взаимно инверсных наборах значений аргументов из первой их половины.

5. Выполняются п. 5-9 алгоритма 1.

Аналогично будет работать алгоритм, использующий кодовые слова из T_{Π_2} .

Приведем пример использования алгоритма 2.

Пример 2. Для устройства из примера 1 привести описание работы блока $G(X)$ по алгоритму 2.

Решение. Аналогично решению в примере 1. Результаты работы алгоритма 2 приведены в таблице 2.

Алгоритмы 1 и 2 подразумевают работу с подмножеством из четырех выходов объекта диагностирования. Для устройства с числом выходов $n > 4$ можно использовать следующий алгоритм.

Таблица 1. Описание работы самопроверяемого устройства
для данных примера 1

№	Значения входов				Значения выходов $F(X)$				Значения на выходах БКС				Значения выходов $G(X)$				Тестовые комбинации			
	x_4	x_3	x_2	x_1	$f_4(X)$	$f_5(X)$	$f_2(X)$	$f_1(X)$	$h_4(X)$	$h_3(X)$	$h_2(X)$	$h_1(X)$	$g_4(X)$	$g_3(X)$	$g_2(X)$	$g_1(X)$	XOR_4	XOR_3	XOR_2	XOR_1
0	0	0	0	0	0	1	1	0	0	0	0	1	0	1	1	1	00	11	11	01
1	0	0	0	1	1	0	0	1	0	0	0	1	1	0	0	0	11	00	00	10
2	0	0	1	0	0	0	0	1	0	0	1	0	0	0	1	1	00	00	01	11
3	0	0	1	1	1	1	1	0	0	0	1	0	1	1	0	0	11	11	10	00
4	0	1	0	0	0	1	1	1	0	1	0	0	0	0	1	1	00	10	11	11
5	0	1	0	1	0	0	1	1	0	1	0	0	0	1	1	1	00	01	11	11
6	0	1	1	0	0	0	0	0	1	0	0	0	1	0	0	0	01	00	00	00
7	0	1	1	1	0	1	1	1	1	0	0	0	1	1	1	1	01	11	11	11
8	1	0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	11	01	01	01
9	1	0	0	1	1	1	0	0	0	1	1	1	1	0	1	1	11	10	01	01
10	1	0	1	0	0	1	0	0	1	0	1	1	1	1	1	1	01	11	01	01
11	1	0	1	1	1	0	1	1	1	0	1	1	0	0	0	0	10	00	10	10
12	1	1	0	0	1	0	1	1	1	1	0	1	0	1	1	0	10	01	11	10
13	1	1	0	1	0	0	1	1	1	1	0	1	1	1	1	0	01	01	11	10
14	1	1	1	0	0	1	0	0	1	1	1	0	1	0	1	0	01	10	01	00
15	1	1	1	1	1	0	0	0	1	1	1	0	0	1	1	0	10	01	01	00

Таблица 2. Описание работы самопроверяемого устройства
для данных примера 2

№	Значения входов				Значения выходов $F(X)$				Значения на выходах БКС				Значения выходов $G(X)$				Тестовые комбинации			
	x_4	x_3	x_2	x_1	$f_4(X)$	$f_5(X)$	$f_2(X)$	$f_1(X)$	$h_4(X)$	$h_3(X)$	$h_2(X)$	$h_1(X)$	$g_4(X)$	$g_3(X)$	$g_2(X)$	$g_1(X)$	XOR_4	XOR_3	XOR_2	XOR_1
0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	1	0	01	11	11	00
1	0	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	10	00	00	11
2	0	0	1	0	0	0	0	1	1	0	0	0	1	0	0	1	01	00	00	11
3	0	0	1	1	1	1	1	0	1	0	0	0	0	1	1	0	10	11	11	00
4	0	1	0	0	0	1	1	1	0	0	1	0	0	1	0	1	00	11	10	11
5	0	1	0	1	0	0	1	1	0	0	1	0	0	0	0	1	00	00	10	11
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0	1	0	00	00	01	00
7	0	1	1	1	0	1	1	1	0	0	1	0	0	1	0	1	00	11	10	11
8	1	0	0	0	1	0	0	0	1	1	0	1	0	1	0	1	10	01	00	01
9	1	0	0	1	1	1	0	0	1	1	0	1	0	0	0	1	10	10	00	01
10	1	0	1	0	0	1	0	0	1	1	0	1	1	0	0	1	01	10	00	01
11	1	0	1	1	1	0	1	1	1	1	0	1	0	1	1	0	10	01	11	10
12	1	1	0	0	1	0	1	1	0	1	1	1	1	1	0	0	11	01	10	10
13	1	1	0	1	0	0	1	1	0	1	1	1	0	1	0	0	00	01	10	10
14	1	1	1	0	0	1	0	0	0	1	1	1	0	0	1	1	00	10	01	01
15	1	1	1	1	1	0	0	0	0	1	1	1	1	1	1	1	11	01	01	01

Алгоритм 3. Правила синтеза СВК для устройств с $n > 4$:

1. Множество выходов $W = \{f_n(X), f_{n-1}(X), \dots, f_2(X), f_1(X)\}$ исходного устройства разбивается на подмножества $W_1, W_2, \dots, W_{q-1}, W_q$ мощностью 4, $q = \left\lfloor \frac{n}{4} \right\rfloor$, такие, что $W = W_1 \cup W_2 \cup \dots \cup W_{q-1} \cup W_q$. Причем, если $n(\bmod 4) = 0$, то:

$$W_i = \{f_{4(i-1)+1}, f_{4(i-1)+2}, f_{4(i-1)+3}, f_{4(i-1)+4}\}, \overline{i = 1, q}, \quad (10)$$

если $n(\bmod 4) \neq 0$, то:

$$\begin{aligned} W_i &= \{f_{4(i-1)+1}, f_{4(i-1)+2}, f_{4(i-1)+3}, f_{4(i-1)+4}\}, \overline{i = 1, q-1}, \\ W_q &= \{f_{n-3}, f_{n-2}, f_{n-1}, f_n\}. \end{aligned} \quad (11)$$

2. Для каждого полученного подмножества $W_1, W_2, \dots, W_{q-1}, W_q$ в соответствии с формулами (10) и (11) строится СВК на основе структуры рисунка 2.

3. Устанавливаются q тестеров композиции равновесных кодов «1 из 4» и «3 из 4» в каждой СВК для каждого подмножества $W_1, W_2, \dots, W_{q-1}, W_q$.

4. Выходы каждого (1/4+3/4)-TSC подключаются к входам самопроверяемого компаратора, состоящего из $q-1$ самопроверяемых модулей сжатия парафазных сигналов TRC .

Работа алгоритма 3 видится тривиальной и, по мнению авторов, не требует примера.

4. Метод выделения подмножеств контролепригодных для композиции равновесных кодов «1 из 4» и «3 из 4» выходов на множестве выходов объекта диагностирования. Для построения полностью самопроверяемой структуры СВК требуется не только обеспечить тестируемость ее компонентов, но и покрыть все возможные ошибки, вызываемые неисправностями из заданной модели на выходах объекта диагностирования $F(X)$. Это можно сделать путем выделения подмножеств контролепригодных выходов относительно каждой неисправности из заданного класса на полном множестве выходов объекта диагностирования $F(X)$.

Пусть имеется объект диагностирования $F(X)$, снабженный t входами и n выходами, а также зафиксирована модель неисправностей – например, модель одиночных константных неисправностей выходов внутренних элементов структуры (stuck-at faults) [30, 31]. Покажем, каким образом следует выделять подмножества выходов объекта

диагностирования для фиксации любых ошибок, вызываемых неисправностями на его выходах.

Алгоритм 4. Правила выделения подмножеств контролепригодных выходов объекта диагностирования:

1. Рассматривается структура объекта диагностирования $F(X)$. Среди множества логических элементов Θ выделяются только те элементы, которые связаны путями с двумя и более выходами устройства: $\Theta^2 \subset \Theta$. Все элементы, связанные путями с одним выходом, исключаются из рассмотрения, поскольку композиция равновесных кодов «1 из 4» и «3 из 4» гарантирует покрытие одиночных искажений в кодовых словах.

2. Строится таблица истинности устройства, работающего без неисправностей, – формируются эталонные кодовые слова $\langle f_n(X) f_{n-1}(X) \dots f_2(X) f_1(X) \rangle$.

3. Выполняется произвольное преобразование каждой функции $f_j(X)$ в самодвойственную функцию $h_j(X)$ с применением фиктивных функций $g_j(X)$. Можно использовать следующую зависимость:

$$h_j(X) = x_i f_j(X) \vee \overline{x_i f_j(\overline{X})}, \quad j = \overline{1, n}. \quad (12)$$

После получения значений $h_j(X)$ по формуле (12) вычисляются значения $g_j(X)$ на каждом наборе значений аргументов:

$$g_j(X) = f_j(X) \oplus h_j(X), \quad j = \overline{1, n}. \quad (13)$$

Значения $g_j(X)$, полученные по формуле (13), фиксируются и не изменяются далее.

4. Моделируются одиночные константные неисправности тех логических элементов, которые входят во множество Θ^2 . Неисправности нумеруются и ранжируются: 1, 2, ..., d . Оценивается их влияние на выходы, а также определяются возможности покрытия их при контроле самодвойственности функций $h_j(X)$. Для этого вычисляются две функции:

$$\psi_j^d(X) = f_j(X) \oplus f_j'(X), \quad (14)$$

$$\psi_j^g(X) = h_j'(X) \oplus h_j'(\overline{X}), \quad (15)$$

где $f_j'(X)$ – значение функции, реализуемой на выходе $f_j(X)$, при внесении неисправности d в объект диагностирования; $h_j'(X)$ – значение функции, реализуемой на выходе $h_j(X)$ БКС в СВК, при внесении неисправности d в объект диагностирования.

Функция (14) представляет собой функцию ошибки: $\psi_j^d(X) = 1$, если ошибка повлияла на выходы устройства $F(X)$. Функция (15) – функция фиксации ошибки при контроле самодвойственности: $\psi_j^g(X) = 1$, если ошибка обнаружена при контроле самодвойственности вычислений.

Дальнейшие действия алгоритма основаны на следующих важнейших положениях.

Теорема 3. Ошибка при контроле самодвойственности вычислений функции $h_j(X)$ будет обнаружена тогда и только тогда, когда:

$$\chi_j = \psi_j^d(X)\psi_j^g(X) = 1. \quad (16)$$

Доказательство. Функция (16) является логическим произведением функций (14) и (15). При решении уравнения $\psi_j^d(X) = 1$ получаются те наборы значений аргументов, на которых неисправность проявляется в виде ошибки выхода $f_j(X)$. При решении уравнения $\psi_j^g(X) = 1$ получаются те наборы значений аргументов, на которых фактически нарушается самодвойственность функции $h_j(X)$. Ясно, что значение $h_j(X)$ напрямую зависит от значений $f_j(X)$ и $g_j(X)$. Из (13) имеем $h_j(X) = f_j(X) \oplus g_j(X)$, $j = \overline{1, n}$. Но у нас зафиксированы значения $g_j(X)$ и меняются значения $f_j(X)$ при внесении неисправностей. Это приводит к искажениям значений $h_j(X)$. Таким образом, во множестве наборов значений аргументов, на которых $\psi_j^g(X) = 1$, неизбежно будут и наборы значений аргументов, на которых $\psi_j^d(X) = 1$. Логически перемножая их, мы отсекаем те наборы, на которых ошибка не фиксируется при контроле самодвойственности вычислений, но выделяем те, которые позволяют зафиксировать ошибку. Выражение (16) требуется проверять именно из-за того, что в структуре рисунка 1 наборы значений аргументов подаются парами, и ошибки фиксируются фактически дважды – когда на первой половине таблицы истинности наборы первой половины таблицы являются рабочими, а второй – контрольными, и наоборот. ■

Теорема 4. Ошибка при контроле самодвойственности вычислений функции $h_j(X)$ не будет обнаружена тогда и только тогда, когда:

$$\varsigma_j = \psi_j^d(X) \overline{\psi_j^\sigma(X)} = 1. \quad (17)$$

Доказательство. Справедливость (17) вытекает непосредственно из теоремы 3 и обосновывается тем, что функция $\overline{\psi_j^\sigma(X)} = 1$ тогда и только тогда, когда ошибка не повлияла на свойство самодвойственности функции. Она либо не исказила функцию $h_j(X)$, либо исказила ее на обоих наборах комбинации. Логически умножая функцию $\overline{\psi_j^\sigma(X)}$ на $\psi_j^d(X)$, мы выделяем те наборы значений аргументов, на которых ошибку зафиксировать не удалось. ■

5. Все ошибки, удовлетворяющие (16), необходимо исключить из рассмотрения. Далее рассматриваются только те ошибки, которые удовлетворяют (17).

6. Далее нужно исключить все одиночные и трехкратные ошибки. Они обнаруживаются композицией равновесных кодов «1 из 4» и «3 из 4». Для этого можно посчитать арифметическую сумму:

$$\varsigma_{max} = \sum_{j=1}^n \varsigma_j. \quad (18)$$

Если при расчетах по выражению (18) получены значения $\varsigma_{max} = 1$ или $\varsigma_{max} = 3$, то ошибку следует исключить из рассмотрения.

7. Все выходы, для которых $\varsigma_j = 1$ при условии $\varsigma_{max} \neq 1$ и $\varsigma_{max} \neq 3$, требуется выполнить разбиение на различные подмножества и включить их в разные четверки выходов при выделении контролепригодных по композиции равновесных кодов «1 из 4» и «3 из 4» подмножеств выходов.

Пример 3. Выполнить контролепригодное разделение выходов объекта диагностирования $F(X)$, структура которого приведена на рисунке 4, а описание дано в таблице 3, в соответствии с алгоритмом 4.

Решение. В соответствии с алгоритмом 4 выполняем расчеты. В рассматриваемом случае требуется проанализировать влияние константных неисправностей элементов G^* , G^{**} и G^{***} на выходы объекта диагностирования. Чтобы это сделать, сформируем самодвойственные функции $h_j(X)$ в соответствии с п. 2 и 3 алгоритма 4. Далее последовательно вносим одиночные константные неисправности элементов G^* , G^{**} и G^{***} в схему устройства и моделируем его работу. В качестве примера приведем работу алгоритма и формул (14) и (15) при внесении неисправности типа «константа 1» (stuck-at-1) на выходе элемента G^{**} , показано в таблице 4.

Расчеты показали, что нужно разделить выходы $f_1(X)$ и $f_3(X)$, а также выходы $f_3(X)$ и $f_4(X)$.

Отсюда становится ясным итоговое разбиение выходов объекта диагностирования на подмножества из четырех выходов: $\{f_1(X), f_2(X), f_4(X), f_5(X)\}$ и $\{f_2(X), f_4(X), f_5(X), f_6(X)\}$. Для них далее строится СВК по описанному выше методу с контролем вычислений по нескольким диагностическим признакам.

В таблице 4 выделены те строки, которые соответствуют необнаруживаемым ошибкам при контроле самодвойственности функций $h_j(X)$. Это как раз показывает необходимость контроля вычислений еще по одному диагностическому признаку.

Представленный в данном разделе метод позволяет одновременно учесть и свойства контроля неисправностей по признаку самодвойственности вычисляемых функций, и свойства контроля неисправностей по композиции равновесных кодов «1 из 4» и «3 из 4». Тут следует отметить, что при построении самопроверяемого цифрового устройства можно учитывать не все ошибки, возникающие на выходах объекта диагностирования, а фиксировать каждую из неисправностей хотя бы по одной из ошибок, как это предложено в [32] при использовании классического кода паритета. Однако данное развитие алгоритма 4 оставим за пределами настоящей работы.

Таблица 3. Описание работы объекта диагностирования и СВК, к примеру 3

N_0	x_4	x_3	x_2	x_1	$f_6(X)$	$f_5(X)$	$f_4(X)$	$f_3(X)$	$f_2(X)$	$f_1(X)$	$h_6(X)$	$h_5(X)$	$h_4(X)$	$h_3(X)$	$h_2(X)$	$h_1(X)$	$g_6(X)$	$g_5(X)$	$g_4(X)$	$g_3(X)$	$g_2(X)$	$g_1(X)$
0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	1	1	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0
5	0	1	0	1	1	1	1	0	1	0	1	1	1	0	1	0	0	0	0	0	0	0
6	0	1	1	0	0	0	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
8	1	0	0	0	1	0	0	1	1	1	0	0	0	0	0	0	1	0	0	1	1	1
9	1	0	0	1	1	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0	1
10	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	1
11	1	0	1	1	0	0	0	0	0	0	1	1	1	1	0	1	1	1	1	1	0	1
12	1	1	0	0	0	0	0	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1
14	1	1	1	0	0	1	1	1	1	0	0	0	0	1	1	1	0	1	1	0	0	1
15	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	0	0	0	0	0	0

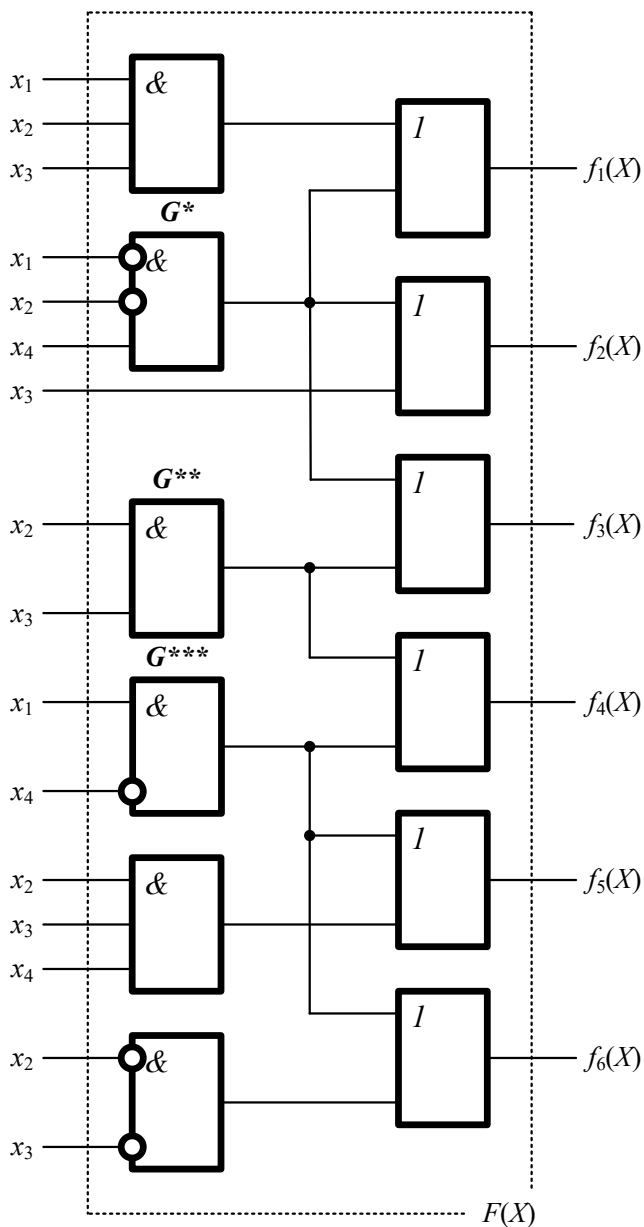


Рис. 4. Объект диагностирования, к примеру 3

Таблица 4. Пример фиксации необнаруживаемых при контроле самодвойственности ошибок

№	x_4	x_3	x_2	x_1	$f_6(X)$	$f_5(X)$	$f_4(X)$	$f_3(X)$	$f_2(X)$	$f_1(X)$	$h_6(X)$	$h_5(X)$	$h_4(X)$	$h_3(X)$	$h_2(X)$	$h_1(X)$	$g_6(X)$	$g_5(X)$	$g_4(X)$	$g_3(X)$	$g_2(X)$	$g_1(X)$	φ^6
0	0	0	0	0	1	0	1	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
3	0	0	1	1	1	1	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0
4	0	1	0	0	0	0	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	1	1	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
8	1	0	0	0	1	0	1	1	1	1	0	0	1	0	0	0	1	0	0	1	1	1	0
9	1	0	0	1	1	0	1	1	0	0	1	1	1	1	0	1	0	1	0	0	0	1	0
10	1	0	1	0	0	0	1	1	0	0	0	0	1	0	0	1	0	0	0	1	0	1	0
11	1	0	1	1	0	0	1	1	0	0	1	1	0	0	0	1	1	1	1	1	0	1	0
12	1	1	0	0	0	0	1	1	1	1	0	0	1	1	1	1	0	0	0	0	0	0	0
13	1	1	0	1	0	0	1	1	1	0	1	1	0	0	1	1	1	1	1	1	0	1	0
14	1	1	1	0	0	1	1	1	1	0	0	0	0	1	1	1	0	1	1	0	0	1	0
15	1	1	1	1	0	1	1	1	1	1	0	1	1	1	1	1	0	0	0	0	0	0	0
№	φ^5	φ^4	φ^3	φ^2	φ^1	φ^6	φ^5	φ^4	φ^3	φ^2	φ^1	χ_6	χ_5	χ_4	χ_3	χ_2	χ_1	ζ_6	ζ_5	ζ_4	ζ_3	ζ_2	ζ_1
0	0	1	1	0	0	0	0	0	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0
3	0	1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0
5	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0
6	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
7	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
8	0	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
9	0	1	1	0	0	0	0	1	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0
10	0	1	0	0	0	0	0	1	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0
11	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0
12	0	1	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
13	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0
14	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

5. Некоторые результаты экспериментов с тестовыми цифровыми устройствами. В ходе исследований особенностей разработанного метода синтеза самопроверяемых цифровых устройств были проведены эксперименты по оценке показателей структурной избыточности реализуемых устройств для тестовых комбинационных

схем из набора MCNC Benchmarks [33]. В качестве показателя структурной избыточности была использована метрика площади, занимаемой устройством на кристалле, которую можно получить с применением известного интерпретатора SIS [34]. В исследованиях использована стандартная библиотека функциональных элементов stdcell2_2.genlib.

В ходе исследований было произведено сравнение разработанного авторами метода с двумя методами: основанным на дублировании с импульсным режимом работы и разработанным ранее методом, основанного на ЛКС и применении равновесного кода «2 из 4» из [16].

Для выбранных тестовых схем, заданных в матричной (интервальной) форме в формате *.pla, были получены файлы-описания блоков $G(X)$ в соответствии с алгоритмами 1 и 3. Сами файлы-описания получались путем конкатенации векторов $\langle h_4(X) h_3(X) h_2(X) h_1(X) \rangle$ отдельных подсхем контроля. Затем структуры блоков $G(X)$ оптимизировались с использованием SIS при выполнении процедуры full_simplify и осуществлялась процедура map -s для реализации устройства в заданной библиотеке элементов и определения показателей площади. Результаты, полученные в ходе исследований, занесены в таблицу 5.

В таблице 5 столбец $L_{F(X)}$ характеризует площадь объекта диагностирования, а столбец $L_{G(X)}$ – площадь блока вычисления значений функций коррекции для разработанного авторами метода. В столбце $L_{1/4+3/4}$ представлено суммарное значение площади для самопроверяемой реализации устройства. Для сравнения в столбцах L_{D+SD} и $L_{2/4}$ приведены данные по применению дублирования с самодвойственным контролем и равновесного кода «2 из 4».

Расчеты для структур, подразумевающих использование равновесного кода «2 из 4» и композиции равновесных кодов «1 из 4» и «3 из 4», осуществлялись по формуле:

$$L_{CED} = L_{F(X)} + L_{G(X)} + 4L_{XOR} + L_{TSC} + L_{SDCC} + L_{SDC} + L_{TRC}, \quad (19)$$

где нижние индексы указывают на конкретные элементы в СВК (Рис. 1).

Данные по стандартным элементам в СВК определены с использованием показателей stdcell2_2.genlib: $L_{XOR} = 40$ (усл. ед.), $L_{SDCC} = 160$ (усл. ед.), $L_{SDC} = 96$ (усл. ед.), $L_{TRC} = 12$ (усл. ед.), $L_{(1/4+3/4)-TSC} = 96$ (усл. ед.), $L_{2/4-TSC} = 192$ (усл. ед.).

В расчетах не учитывалась входная цепь преобразования и генератор G . Во всех рассматриваемых самопроверяемых устройствах данные цепи одинаковы.

Таблица 5. Результаты экспериментов с тестовыми схемами
MCNC Benchmarks

Номер	Тестовая схема	n	q	$L_{xor}^{(n)}$ усл. ед.	$L_{and}^{(n)}$ усл. ед.	$L_{or}^{(n)}$ усл. ед.	$L_{nand}^{(n)}$ усл. ед.	$L_{nor}^{(n)}$ усл. ед.	$\delta_{1,4+3,4}$ %	$\delta_{2,4}$ %	$\epsilon_{1,4+3,4}$ %	$\epsilon_{2,4}$ %	χ %
1	rd84	4	1	4912	2680	8296	10304	12472	66,517	82,617	33,483	17,383	80,512
2	sqrt8	4	1	1160	1200	3064	3560	4848	63,201	73,432	36,799	26,568	86,067
3	sao2	4	1	2992	3584	7280	7960	9448	77,053	84,251	22,947	15,749	91,457
4	dist	5	2	6968	9016	17584	19168	19384	90,714	98,886	9,286	1,114	91,736
5	newcwp	5	2	440	776	2816	2896	2680	105,075	108,06	-5,075	-8,06	97,238
6	root	5	2	3496	2968	8064	9048	10360	77,838	87,336	22,162	12,664	89,125
7	max512	6	2	9632	7824	19056	20264	25680	74,206	78,91	25,794	21,09	94,039
8	dc1	7	2	976	832	3408	3480	4544	75	76,585	25	23,415	97,931
9	dekoder	7	2	736	776	3112	3344	4176	74,521	80,077	25,479	19,923	93,062
10	wim	7	2	712	976	3288	3256	4152	79,191	78,42	20,809	21,58	100,983
11	newapla2	7	2	600	1008	3208	3400	4056	79,093	83,826	20,907	16,174	94,353
12	dc2	7	2	2424	2736	6760	7984	8816	76,679	90,563	33,321	9,437	84,669
13	newbyte	8	2	592	840	3032	3288	4280	70,841	76,822	29,159	23,178	92,214
14	mlp4	8	2	7224	8040	16864	18368	20352	82,862	90,252	17,138	9,748	91,812
15	f51m	8	2	2272	5448	9320	12560	7480	124,599	167,914	-24,599	-67,914	74,204
16	inc	9	3	2376	2864	7736	8408	9064	85,349	92,763	14,651	7,237	92,008
17	dk27	9	3	528	2360	5384	7856	4608	116,84	170,486	-16,84	-70,486	68,534
18	newepla2	10	3	1896	3632	8024	9048	8512	94,267	106,297	5,733	-6,297	88,683
19	sq6	12	3	2648	2968	8112	8608	10192	79,592	84,458	20,408	15,542	94,238
20	m1	12	3	3064	2032	7592	7888	11112	68,323	70,986	31,677	29,014	96,247
21	p82	14	4	2368	2296	8056	8520	10384	77,581	82,049	22,419	17,951	94,554
22	m2	16	4	10096	4616	18104	20576	29136	62,136	70,621	37,864	29,379	87,986
23	m3	16	4	13464	6208	23064	24640	36040	63,996	68,368	36,004	31,632	93,604
24	m4	16	4	18704	8248	30344	31616	49064	61,846	64,438	38,154	35,562	95,977
25	tms	16	4	6784	5368	15544	16656	21664	71,75	76,883	28,25	23,117	93,324
26	newepla1	16	4	2520	5144	11056	14232	12080	91,523	117,815	8,477	-17,815	77,684
27	newxcpla1	23	6	3760	6096	15040	21048	17704	84,953	118,888	15,047	-18,888	71,456
28	max128	24	6	20192	9872	35248	39792	52408	67,257	75,927	32,743	24,073	88,581

Расчет для структуры дублирования с самодвойственным контролем выполнялся по формуле:

$$L_{D+SD} = 2L_{F(X)} + nL_{NOT} + (n-1)L_{TRC} + L_{G(X)} + nL_{XOR} + \left\lfloor \frac{n}{2} \right\rfloor L_{SDCC} + L_{SDC} + L_{TRC}, \quad (20)$$

где нижние индексы указывают на конкретные элементы в СВК, синтезированной по методу дублирования. Следует пояснить, что $L_{NOT} = 16$ (усл. ед.), а схема сжатия является преобразователем n сигналов в 1 самодвойственный – для ее реализации требуется $\left\lfloor \frac{n}{2} \right\rfloor$ трехходовых элементов XOR .

Для удобства сравнения данных рассчитаны следующие относительные показатели:

$$\delta_{1/4+3/4} = \frac{L_{1/4+3/4}}{L_{D+SD}} \cdot 100 \%, \quad (21)$$

$$\delta_{2/4} = \frac{L_{2/4}}{L_{D+SD}} \cdot 100 \%, \quad (22)$$

$$\varepsilon_{1/4+3/4} = \frac{L_{D+SD} - L_{1/4+3/4}}{L_{D+SD}} \cdot 100 \%, \quad (23)$$

$$\varepsilon_{2/4} = \frac{L_{D+SD} - L_{2/4}}{L_{D+SD}} \cdot 100 \%, \quad (24)$$

$$\chi = \frac{L_{1/4+3/4}}{L_{2/4}} \cdot 100 \%. \quad (25)$$

Результаты расчетов, произведенных по формулам (20)-(25), занесены в таблицу 4.

Показатели $\delta_{1/4+3/4}$ и $\delta_{2/4}$ характеризуют долю площади, занимаемой самопроверяемым цифровым устройством, синтезированного с СВК на основе равновесных кодов и их композиции, от площади системы дублирования. Показатели $\varepsilon_{1/4+3/4}$ и $\varepsilon_{2/4}$ характеризуют выигрыш в применении методов, основанных на равновесных кодах, по сравнению с дублированием с самодвойственным контролем. Показатель χ характеризует преимущество применения композиции равновесных кодов «1 из 4» и «3 из 4» перед отдельным кодом «2 из 4».

Из анализа таблицы 5 можно сделать следующие выводы. В подавляющем большинстве случаев структуры, основанные на равновесных кодах, оказались более эффективными по показателю структурной избыточности, нежели структура дублирования с самодвойственным контролем. Здесь следует отдельно подчеркнуть, что рассматривалась именно структура с контролем вычислений по двум диагностическим признакам, чтобы можно было одинаково характеризовать эффект от импульсного режима функционирования. Естественно, ее обнаруживающие способности без схемотехнических приемов относительно выходов блока $F(X)$ гораздо выше структуры рисунка 1.

При повышенных показателях наблюдаемости неисправностей в случае организации контроля вычислений по двум диагностическим признакам разработанный авторами метод дал более простые структуры самопроверяемых устройств и в сравнении с классическим дублированием без дополнительного контроля самодвойственности для 8 тестовых схем (примерно 30 % всех схем). При этом для ряда схем достигнуто улучшение в 20-25 %, что также свидетельствует

о возможностях применения разработанного метода на практике. Для еще большего уменьшения показателей структурной избыточности могут использоваться специализированные схемы сжатия сигналов от объекта диагностирования, которые, однако, не должны допускать потери диагностических свойств, что требует выбора подмножеств сжимаемых сигналов с учетом свойств структуры самой схемы сжатия [35]. Этот вопрос остался за рамками настоящего исследования.

Применение композиции равновесных кодов «1 из 4» и «3 из 4» практически во всех случаях оказалось выгоднее использования равновесного кода «2 из 4». Для основной массы тестовых схем значение коэффициента χ лежит в диапазоне 85-95 %.

Экспериментальные результаты свидетельствуют о том, что разработанный авторами метод имеет некоторые преимущества перед известными, а сами полученные результаты могут оказаться полезными при разработке самопроверяемых цифровых устройств. Дальнейшие эксперименты с использованием представленного авторами метода будут направлены на исследования особенностей повышения показателей наблюдаемости неисправностей на контрольных выходах СВК при реализации самопроверяемых тестовых схем в различных функциональных базах при различных методах реализации как при исчерпывающем тестировании, так и при подаче заданного подмножества пар наборов значений аргументов.

6. Заключение. Уникальные свойства композиции равновесных кодов «1 из 4» и «3 из 4» совместно с использованием принципа ЛКС позволяют синтезировать самопроверяемые цифровые устройства с контролем вычислений по нескольким диагностическим признакам. При этом удастся обеспечивать более высокие показатели наблюдаемости неисправностей за счет постоянной смены значений на выходах объекта диагностирования и контроля вычислений по двум диагностическим признакам, что приводит к увеличению числа наборов значений аргументов, на которых неисправности проявляются в виде установления непарафазных значений на контрольных выходах СВК.

В качестве достоинства метода можно отметить полный учет свойств композиции равновесных кодов «1 из 4» и «3 из 4» при синтезе СВК, а также учет свойств структуры объекта диагностирования при заданной модели неисправностей. Это исключает излишнюю избыточность при наделении устройства свойством самопроверяемости. Несмотря на то, что устройство $G(X)$ имеет такое же количество выходов, что и блок $F(X)$, в ряде случаев удастся синтезировать самопроверяемые цифровые устройства с меньшей площадью, чем по известным методам. Это возможно из-за потенциально различной сложности булевых

функций, вычисляемых блоками $F(X)$ и $G(X)$ [36]. В качестве недостатков разработанного метода выделим внесение большей избыточности, чем при контроле только по одному из диагностических признаков, а также требуемую временную избыточность, что снижает быстродействие структур вдвое. Для современных устройств микроэлектроники, однако, это не является существенным ввиду высокой частоты работы. Кроме того, потенциально можно уменьшить период подачи второго набора в каждой паре, на котором формируются контрольные сигналы. Это делается путем изменения скважности генератора, однако определение, до какой величины это допустимо – задача дальнейших исследований. К ним можно также отнести и исследования различных алгоритмов формирования значений функций на выходах блока $G(X)$ с учетом их совместной оптимизации, а также совершенствование алгоритма выделения подмножеств контролепригодных выходов на множестве выходов объекта диагностирования с учетом функциональных зависимостей на его выходах и выходах внутренних элементов, а не только структурных особенностей объекта диагностирования, а также исследования в области рабочего диагностирования неисправностей из разных моделей, включая, например, модель временной задержки сигнала (delay fault) [37, 38]. Такие неисправности вызывают неправильную работу схем относительно тактовой частоты и тестируются при подаче на входы пар наборов значений аргументов (как и в предлагаемом методе). Известно [12], что при определенных реализациях цифровых устройств проверяющий тест для неисправностей типа «временная задержка» содержится во множестве пар наборов, ортогональных по всем значениям аргументов.

Разработанный метод интересен в практических приложениях в любых отраслях экономики, где используются системы автоматического управления. Однако наибольший интерес он может представлять для использования в таких системах, данные в которых меняются не столь часто (к ним относится большое число систем управления в промышленности, на транспорте, в военной и космической отраслях [39 – 41]). В таких системах следует исключать потенциальные «скрытые» неисправности [42, 43], что частично обеспечивается импульсным режимом работы представленной авторами структуры и контролем вычислений по двум диагностическим признакам.

Литература

1. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы // М.: Радио и связь. 1989. 208 с.
2. Goessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking // Frontiers in Electronic Testing. Springer. 2008. vol. 42. 185 p.

3. Sahana A.R., Chiraag V., Suresh G., et al. Application of Error Detection and Correction Techniques to Self-Checking VLSI Systems: An Overview // Proceedings of the IEEE Guwahati Subsection Conference (GCON). 2023. pp. 1–6. DOI: 10.1109/GCON58516.2023.10183449.
4. Дрозд А.В. Нетрадиционный взгляд на рабочее диагностирование вычислительных устройств // Проблемы управления. 2008. №2. С. 48–56.
5. Ефанов Д.В. Методы синтеза самопроверяемых дискретных устройств. М.: ЛЕНАНД. 2025. 268 с.
6. Borecky J., Kohlik M., Kubatova H. Parity driven reconfigurable duplex system // Microprocessors and Microsystems. 2017. vol. 52. pp. 251–260. DOI: 10.1016/j.micpro.2017.06.015.
7. Paschalis A.M., Halatsis C., Philokyprou G. Concurrently totally self-checking microprogram control unit with duplication of microprogram sequencer // Microprocessing and Microprogramming. 1987. vol. 20. no. 4-5. pp. 271–281. DOI: 10.1016/0165-6074(87)90216-X.
8. Hahanov V., Litvinova E., Chumachenko S., et al. Vector Logic Modeling Self-Tested Circuits // Proceedings of the 21st IEEE East-West Design & Test Symposium (EWDTS). 2025. pp. 1–4. DOI: 10.1109/EWDTS67441.2025.11303706.
9. Согомонян Е.С. Построение самопроверяемых схем встроенного контроля для комбинационных устройств // Автоматика и телемеханика. 1974. №2. С.121–133.
10. Аксёнова Г.П. Восстановление в дублированных устройствах методом инвертирования данных // Автоматика и телемеханика. 1987. №10. С. 144–153.
11. Dmitriev A., Sapozhnikov V., Sapozhnikov V.I., et al. New Self-Dual Circuits for Error Detection and Testing // VLSI Design. 1999. vol. 11. no. 1. pp. 1–21. DOI: 10.1155/2000/84720.
12. Сапожников В.В., Сапожников Вл.В., Гессель М. Самодвойственные дискретные устройства // СПб: Энергоатомиздат. 2001. 330 с.
13. Efanov D.V. The equal-length redundant code development for the self-checking combinational devices synthesis based on data on their structures // Electronic Modeling. 2022. vol. 44. no. 1. pp. 43–52. DOI: 10.15407/emodel.44.01.043.
14. Стемковский А.Л., Тельпухов Д.В., Жукова Т.Д. Разработка схем функционального контроля на основе автоматизированной генерации помехоустойчивого кода // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2022. №4. С. 2–8. DOI: 10.31114/2078-7707-2022-4-2-8.
15. Ефанов Д.В., Елина Е.И. Синтез самопроверяемых дискретных устройств на основе логической коррекции сигналов с применением взвешенных кодов с суммированием в кольце вычетов по заданному модулю // Автоматика и телемеханика. 2026. №5. С. 108–130.
16. Efanov D., Sapozhnikov V., Sapozhnikov V.I., et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of the 17th IEEE East-West Design & Test Symposium (EWDTS). 2019. pp. 1–8. DOI: 10.1109/EWDTS.2019.8884398.
17. Ефанов Д.В., Погодина Т.С. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга // Информатика и автоматизация. 2023. Т. 22. №2. С. 349–392. DOI: 10.15622/ia.22.2.5.
18. Ефанов Д.В., Погодина Т.С. Самодвойственные цифровые устройства с контролем вычислений по кодам Сяо // Вестник Томского государственного университета. 2023. №63. С. 118–136. DOI: 10.17223/19988605/63/14.
19. Morozov M., Sapozhnikov V., Sapozhnikov V.I., Goessel M. New self-checking circuits by use of berger-codes // Proceedings of the 6th IEEE International On-Line Testing Workshop. 2000. pp. 171–176. DOI: 10.1109/OLT.2000.856626.

20. Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. №1. С. 167–176.
21. Efanov D.V., Yelina Y.I. On the Compositions of Constant-Weight Codes for the Synthesis of Self-Checking and Controllable Digital Devices // Proceedings of the 21st IEEE East-West Design & Test Symposium (EWDTS). 2025. pp. 1–10. DOI: 10.1109/EWDTS67441.2025.11303696.
22. Chioktour V., Kakarountas A. Adaptive BIST for Concurrent On-Line Testing on Combinational Circuits // Electronics. 2022. vol. 11. no. 11. pp. 1–20. DOI: 10.3390/electronics11193193.
23. Juracy L.R., Moreira M.T., Kuentzer F.A., de Morais Amory A. Optimized Design of an LSSD Scan Cell // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2017. vol. 25. no. 2. pp. 765–768. DOI: 10.1109/TVLSI.2016.2589548.
24. Melikyan V., Grigoryan G., Zheng X., et al. Aging-Aware Design Method for Reliable Analog Integrated Circuits Combining Reliability-Aware Circuit Architectures, Transistor's Threshold Voltage and Operating Point-Dependent Degradation // Proceedings of the IEEE East-West Design & Test Symposium (EWDTS). 2024. pp. 1–4. DOI: 10.1109/EWDTS63723.2024.10873644.
25. Acharya G.P., Rani M.A. Berger code based concurrent online self-testing of embedded processors // Journal of Semiconductors. 2018. vol. 39. no. 11. 115001 p. DOI: 10.1088/1674-4926/39/11/115001.
26. Das D., Touba N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose – Lin Codes // Journal of Electronic Testing. 1999. vol. 15. pp. 145–155. DOI: 10.1023/A:1008344603814.
27. Сапожников В.В., Сапожников Вл.В. Самопроверяемые дискретные устройства // СПб: Энергоатомиздат. 1992. 224 с.
28. Lala P.K. Self-Checking and Fault-Tolerant Digital Design // San Francisco: Morgan Kaufmann. 2001. 216 p.
29. Ефанов Д.В. Синтез самопроверяемых комбинационных устройств на основе метода логической коррекции сигналов с применением кодов Боуза–Лина // Информационные технологии. 2023. Т. 29. №10. С. 503–511. DOI: 10.17587/it.29.503-511.
30. Higami Y., Yamauchi T., Inamoto T., et al. Machine Learning Based Fault Diagnosis for Stuck-at Faults and Bridging Faults // Proceedings of the 37th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC). 2022. pp. 477–480. DOI: 10.1109/ITC-CSCC55581.2022.9894966.
31. Higami Y., Inamoto T., Wang S., et al. Diagnosis of Double Faults Consisting of a Stuck-at Fault and a Transition Fault // Proceedings of the International Technical Conference on Circuits/Systems, Computers, and Communications (ITC-CSCC). 2024. DOI: 10.1109/ITC-CSCC62988.2024.1062879.
32. Sogomonyan E.S., Gossel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing. 1993. vol. 4. pp. 267–281. DOI:10.1007/BF00971975.
33. McElvain K. IWLS'93 Benchmark Set: Version 4.0. // Proceedings of the International Workshop on Logic Synthesis. 1993.
34. Sentovich E.M., Singh K.J., Moon C., et al. Sequential circuit design using synthesis and optimization // Proceedings of the IEEE International Conference on Computer Design: VLSI in Computers & Processors. 1992. pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
35. Efanov D.V., Sapozhnikov V., Sapozhnikov Vl. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression // Automatic Control and Computer Sciences. 2021. vol. 55. no. 2. pp. 113–124. DOI: 10.3103/S014641162102005X.

36. Коршунов А.Д. Сложность вычислений булевых функций // Успехи математических наук. 2012. Т. 67. №1(403). С. 97–168. DOI: 10.4213/mn9459.
37. Матросова А.Ю., Чернышов С.В., Ким О.Х., Николаева Е.А. Построение последовательности, обнаруживающей робастно тестируемые неисправности задержек путей в схемах с памятью // Автоматика и телемеханика. 2021. №11. С. 148–168. DOI: 10.31857/S0005231021110106.
38. Manikandan P. Delay Testing in Integrated Circuits: Methodologies for Path Delay Fault Detection and Hardware Security // International Journal of Network Security & Its Applications (IJNSA). 2025. vol. 17. no. 2. pp. 21–41. DOI: 10.5121/ijnsa.2025.17202.
39. Wang T., Sun J., Yao W., et al. Comparison Study on Parametric Fault Diagnosis Using BPNN, SVM and SDAE for DC-DC Converters in Aircraft // Proceedings of the 25th European Conference on Power Electronics and Applications (EPE ECCE Europe). 2023. pp. 1–9. DOI: 10.23919/EPE23ECCEEurope58414.2023.10264256.
40. Irrera I., Zentai A., Cunha J.C., Madeira H. Validating a Safety Critical Railway Application Using Fault Injection // Certifications of Critical Systems – The CECRIS Experience. 2022. pp. 227–246. DOI: 10.1201/9781003337485-11.
41. Garg K., Dawson C., Xu K., et al. Model-Free Neural Fault Detection and Isolation for Safe Control // IEEE Control Systems Letters. 2023. vol. 7. pp. 3169–3174. DOI: 10.1109/LCSYS.2023.3302768.
42. Drozd O., Romankevich V., Martynyuk O., et al. Problems of Matrix Structures in the Components of Modern Computer Systems // Proceedings of the IEEE 16th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET). 2022. pp. 222–227. DOI: 10.1109/TCSET55632.2022.9766954.
43. Tejaswini P., Ganiger P.A., Reshma B., Sanjana B.C. Transfer learning approach for Automatic Test Pattern Generation // Proceedings of the IEEE 6th India Council International Subsections Conference (INDISCON). 2025. pp. 1–4. DOI: 10.1109/INDISCON66021.2025.11253948.

Ефанов Дмитрий Викторович — д-р техн. наук, директор, Федеральное государственное бюджетное учреждение науки «Институт проблем транспорта им. Н.С. Соломенко Российской академии наук» (ИПТ РАН); профессор, высшая школа транспорта института машиностроения, материалов и транспорта и высшая школа управления кибер-физическими системами института компьютерных наук и кибербезопасности, Федеральное государственное автономное образовательное учреждение высшего образования «Санкт-Петербургский политехнический университет Петра Великого» (ФГАОУ ВО СПбПУ). Область научных интересов: дискретная математика, надежность, безопасность и техническая диагностика дискретных систем, методы непрерывного мониторинга систем автоматического управления и сложных инженерных конструкций и сооружений. Число научных публикаций — 650. TrES-4b@yandex.ru; 12-я линия В.О., 13, 199178, Санкт-Петербург, Россия; р.т.: +7(911)709-2164.

Елина Есения Игоревна — научный сотрудник, Федеральное государственное бюджетное учреждение науки «Институт проблем транспорта им. Н.С. Соломенко Российской академии наук» (ИПТ РАН); ассистент, высшая школа транспорта института машиностроения, материалов и транспорта и высшая школа управления кибер-физическими системами института компьютерных наук и кибербезопасности, Федеральное государственное автономное образовательное учреждение высшего образования «Санкт-Петербургский политехнический университет Петра Великого» (ФГАОУ ВО СПбПУ). Область научных интересов: самопроверяемые цифровые устройства, методы синтеза схем, теория кодирования, дискретная математика. Число научных публикаций — 70. eseniya-elina@mail.ru; 12-я линия В.О., 13, 199178, Санкт-Петербург, Россия; р.т.: +7(911)935-1039.

D. EFANOV, Y. YELINA
**DESIGN OF SELF-CHECKING DIGITAL DEVICES
WITH IMPROVED TESTABILITY METRICS**

Efanov D., Yelina Y. **Design of Self-Checking Digital Devices with Improved Testability Metrics.**

Abstract. A method is proposed for the designing of fully self-checking digital devices with improved testability metrics. The solution is based on the principle of Boolean signal correction and the properties of a composition of constant-weight codes «1-out-of-4» and «3-out-of-4». The organizational features of a the concurrent error-detection circuit based on two diagnostic criteria are described: membership of the generated codewords in the composition of constant-weight codes «1-out-of-4» and «3-out-of-4», as well as the membership of each function describing the codeword concurrent error-detection circuit in the class of self-dual Boolean functions. The structure of a self-checking digital device with computation checking based on two diagnostic criteria is presented. Algorithms for designing the concurrent error-detection circuit based on Boolean signal correction and the composition of constant-weight codes «1-out-of-4» and «3-out-of-4» are developed, taking into account the requirements for testability of its components during operation. A method is proposed for identifying subsets of testable quadruples of outputs on the set of outputs of the diagnostic object, which guarantees error coverage using the selected composition of constant-weight codes codes, considering its diagnostic properties. Some experimental results with benchmarks are presented, demonstrating the advantages of the proposed self-checking digital device design method compared to known ones: duplication with self-duality checking and the use of the «2-out-of-4» code with additional self-duality checking. The developed method can be effectively applied in the design of self-checking digital devices on modern microelectronic components, and can also be considered in the future for implementing devices based on new physical principles.

Keywords: self-checking digital device, Boolean signal correction, concurrent error-detection circuit, computation control at the outputs of devices, composition of constant-weight codes «1-out-of-4» and «3-out-of-4» codes, fault detection.

References

1. Soghomonyan E.S., Slabakov E.V. Samoproveryaemy'e ustroystva i otkazoustojchivye sistemy' [Self-testable devices and fault-tolerant systems]. M.: Radio i svyaz' Publ. 1989. 208 p. (In Russ.).
2. Goessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. *Frontiers in Electronic Testing*. Springer. 2008. vol. 42. 185 p.
3. Sahana A.R., Chiraag V., Suresh G., et al. Application of Error Detection and Correction Techniques to Self-Checking VLSI Systems: An Overview. *Proceedings of the IEEE Guwahati Subsection Conference (GCON)*. 2023. pp. 1–6. DOI: 10.1109/GCON58516.2023.10183449.
4. Drozd A.V. [An unconventional view on operational diagnostics of computing devices]. *Problemy upravleniya – Control Sciences*. 2008. no. 2. pp. 48–56. (In Russ.).
5. Efanov D.V. Metody' sinteza samoproveryaemy'x diskretny'x ustroystv [Methods of synthesis of self-testable discrete devices]. M.: LENAND. 2025. 268 p. (In Russ.).
6. Borecky J., Kohlik M., Kubatova H. Parity driven reconfigurable duplex system. *Microprocessors and Microsystems*. 2017. vol. 52. pp. 251–260. DOI: 10.1016/j.micpro.2017.06.015.

7. Paschalis A.M., Halatsis C., Philokyrou G. Concurrently totally self-checking microprogram control unit with duplication of microprogram sequencer. *Microprocessing and Microprogramming*. 1987. vol. 20. no. 4-5. pp. 271–281. DOI: 10.1016/0165-6074(87)90216-X.
8. Hahanov V., Litvinova E., Chumachenko S., et al. Vector Logic Modeling Self-Tested Circuits. *Proceedings of the 21st IEEE East-West Design & Test Symposium (EWDTS)*. 2025. pp. 1–4. DOI: 10.1109/EWDTS67441.2025.11303706.
9. Sogomonyan E.S. [Construction of self-testing in-built monitoring circuits for combinational devices]. *Avtomatika i telemekhanika – Automation and Telemechanics*. 1974. no. 2. pp.121–133. (In Russ.).
10. Aksenova G.P. [Restoration in duplicated units by the method of data inversion]. *Avtomatika i telemekhanika – Automation and Telemechanics*. 1987. no. 10. pp. 144–153. (In Russ.).
11. Dmitriev A., Sapozhnikov V., Sapozhnikov V.I., et al. New Self-Dual Circuits for Error Detection and Testing. *VLSI Design*. 1999. vol. 11. no. 1. pp. 1–21. DOI: 10.1155/2000/84720.
12. Sapozhnikov V., Sapozhnikov V.I., Gessel M. *Samodvoystvenny'e diskretny'e ustroystva* [Self-dual discrete devices]. SPb: E'nergoatomizdat. 2001. 330 p. (In Russ.).
13. Efanov D.V. The equal-length redundant code development for the self-checking combinational devices synthesis based on data on their structures. *Electronic Modeling*. 2022. vol. 44. no. 1. pp. 43–52. DOI: 10.15407/emodel.44.01.043.
14. Stempkovsky A.L., Telpukhov D.V., Zhukova T.D. [Development of Concurrent Error Detection Circuit Based on Automated Generation of Error-Correcting Code]. *Problemy' razrabotki perspektivny'x mikro- i nanoe'lektronny'x sistem (ME'S) – Problems of Advanced Micro- and Nanoelectronic Systems Development (MES)*. 2022. no. 4. pp. 2–8. DOI: 10.31114/2078-7707-2022-4-2-8. (In Russ.).
15. Efanov D.V., Yelina Y.I. [Design of Self-Checking Discrete Devices Based on Boolean Signal Correction with Weighted Sum Codes in the Residue Ring of a Given Modulus]. *Avtomatika i telemekhanika – Automation and Telemechanics*. 2026. no. 5. pp. 108–130. (In Russ.).
16. Efanov D., Sapozhnikov V., Sapozhnikov V.I., et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems. *Proceedings of the 17th IEEE East-West Design & Test Symposium (EWDTS)*. 2019. pp. 1–8. DOI: 10.1109/EWDTS.2019.8884398.
17. Efanov D.V., Pogodina T.S. [Properties Investigation of Self-Dual Combinational Devices with Calculation Control Based on Hamming Codes]. *Informatika i avtomatizatsiya – Informatics and Automation*. 2023. vol. 22. no. 2. pp. 349–392. DOI: 10.15622/ia.22.2.5. (In Russ.).
18. Efanov D.V., Pogodina T.S. [Self-dual digital devices with calculations testing by Hsiao codes]. *Vestnik Tomskogo gosudarstvennogo universiteta – Bulletin of Tomsk State University*. 2023. no. 63. pp. 118–136. DOI: 10.17223/19988605/63/14. (In Russ.).
19. Morozov M., Sapozhnikov V., Sapozhnikov V.I., Goessel M. New self-checking circuits by use of berger-codes. *Proceedings of the 6th IEEE International On-Line Testing Workshop*. 2000. pp. 171–176. DOI: 10.1109/OLT.2000.856626.
20. Gessel M., Morozov A.V., Sapozhnikov V., Sapozhnikov V.I. [Logical Complementation – A New Method for Testing Combinational Circuits]. *Avtomatika i telemekhanika – Automation and Telemechanics*. 2003. no. 1. pp. 167–176. (In Russ.).
21. Efanov D.V., Yelina Y.I. On the Compositions of Constant-Weight Codes for the Synthesis of Self-Checking and Controllable Digital Devices. *Proceedings of the 21st IEEE East-West Design & Test Symposium (EWDTS)*. 2025. pp. 1–10. DOI: 10.1109/EWDTS67441.2025.11303696.

22. Chioktour V., Kakarountas A. Adaptive BIST for Concurrent On-Line Testing on Combinational Circuits. *Electronics*. 2022. vol. 11. no. 11. pp. 1–20. DOI: 10.3390/electronics11193193.
23. Juracy L.R., Moreira M.T., Kuentzer F.A., de Moraes Amory A. Optimized Design of an LSSD Scan Cell. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2017. vol. 25. no. 2. pp. 765–768. DOI: 10.1109/TVLSI.2016.2589548.
24. Melikyan V., Grigoryan G., Zheng X., et al. Aging-Aware Design Method for Reliable Analog Integrated Circuits Combining Reliability-Aware Circuit Architectures, Transistor's Threshold Voltage and Operating Point-Dependent Degradation. *Proceedings of the IEEE East-West Design & Test Symposium (EWDTS)*. 2024. pp. 1–4. DOI: 10.1109/EWDTS63723.2024.10873644.
25. Acharya G.P., Rani M.A. Berger code based concurrent online self-testing of embedded processors. *Journal of Semiconductors*. 2018. vol. 39. no. 11. 115001 p. DOI: 10.1088/1674-4926/39/11/115001.
26. Das D., Toubia N.A. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose – Lin Codes. *Journal of Electronic Testing*. 1999. vol. 15. pp. 145–155. DOI: 10.1023/A:1008344603814.
27. Sapozhnikov V., Sapozhnikov V.I. *Samoproveryaemy'e diskretnye ustroystva* [Self-testable discrete devices]. SPb: E'nergoatomizdat. 1992. 224 p. (In Russ.).
28. Lala P.K. *Self-Checking and Fault-Tolerant Digital Design*. San Francisco: Morgan Kaufmann. 2001. 216 p.
29. Efanov D. V. [Self-Checking Combinational Devices Synthesis Based on the Boolean Signal Correction Method Using Bose–Lin Codes]. *Information Technologies*. 2023. vol. 29. no. 10. pp. 503–511. DOI: 10.17587/it.29.503-511. (In Russ.).
30. Higami Y., Yamauchi T., Inamoto T., et al. Machine Learning Based Fault Diagnosis for Stuck-at Faults and Bridging Faults. *Proceedings of the 37th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)*. 2022. pp. 477–480. DOI: 10.1109/ITC-CSCC55581.2022.9894966.
31. Higami Y., Inamoto T., Wang S., et al. Diagnosis of Double Faults Consisting of a Stuck-at Fault and a Transition Fault. *Proceedings of the International Technical Conference on Circuits/Systems, Computers, and Communications (ITC-CSCC)*. 2024. DOI: 10.1109/ITC-CSCC62988.2024.10628279.
32. Sogomonyan E.S., Gossel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs. *Journal of Electronic Testing*. 1993. vol. 4. pp. 267–281. DOI: 10.1007/BF00971975.
33. McElvain K. IWLS'93 Benchmark Set: Version 4.0. *Proceedings of the International Workshop on Logic Synthesis*. 1993.
34. Sentovich E.M., Singh K.J., Moon C., et al. Sequential circuit design using synthesis and optimization. *Proceedings of the IEEE International Conference on Computer Design: VLSI in Computers & Processors*. 1992. pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
35. Efanov D.V., Sapozhnikov V., Sapozhnikov V.I. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight “1-out-of-4” Code with Signal Compression. *Automatic Control and Computer Sciences*. 2021. vol. 55. no. 2. pp. 113–124. DOI: 10.3103/S014641162102005X.
36. Korshunov A.D. [Computational complexity of Boolean functions]. *Uspehi matematicheskikh nauk – Russian Mathematical Surveys*. 2012. vol. 67. no. 1(403). pp. 97–168. DOI: 10.4213/rm9459. (In Russ.).
37. Matrosova A.Yu., Cherhyshov S.V., Kim O.Kh., Nikolaeva E.A. [Constructing a sequence detecting robustly testable path delay faults in sequential circuits]. *Avtomatika i Telemekhanika – Automation and Telemechanics*. 2021. no. 11. pp. 148–168. DOI: 10.31857/S0005231021110106. (In Russ.).

38. Manikandan P. Delay Testing in Integrated Circuits: Methodologies for Path Delay Fault Detection and Hardware Security. *International Journal of Network Security & Its Applications (IJNSA)*. 2025. vol. 17. no. 2. pp. 21–41. DOI: 10.5121/ijnsa.2025.17202.
39. Wang T., Sun J., Yao W., et al. Comparison Study on Parametric Fault Diagnosis Using BPNN, SVM and SDAE for DC-DC Converters in Aircraft. *Proceedings of the 25th European Conference on Power Electronics and Applications (EPE ECCE Europe)*. 2023. pp. 1–9. DOI: 10.23919/EPE23ECCEEurope58414.2023.10264256.
40. Irrera I., Zentai A., Cunha J.C., Madeira H. Validating a Safety Critical Railway Application Using Fault Injection. *Certifications of Critical Systems – The CECRIS Experience*. 2022. pp. 227–246. DOI: 10.1201/9781003337485-11.
41. Garg K., Dawson C., Xu K., et al. Model-Free Neural Fault Detection and Isolation for Safe Control. *IEEE Control Systems Letters*. 2023. vol. 7. pp. 3169–3174. DOI: 10.1109/LCSYS.2023.3302768.
42. Drozd O., Romankevich V., Martynyuk O., et al. Problems of Matrix Structures in the Components of Modern Computer Systems. *Proceedings of the IEEE 16th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*. 2022. pp. 222–227. DOI: 10.1109/TCSET55632.2022.9766954.
43. Tejaswini P., Ganiger P.A., Reshma B., Sanjana B.C. Transfer learning approach for Automatic Test Pattern Generation. *Proceedings of the IEEE 6th India Council International Subsections Conference (INDISCON)*. 2025. pp. 1–4. DOI: 10.1109/INDISCON66021.2025.11253948.

Efanov Dmitry — Ph.D., Dr.Sci., Director, Solomenko Institute of Transport Problems of the Russian Academy of Sciences (ITP RAS); Professor, Higher School of Transport at the Institute of Machinery, Materials, and Transport, and Higher School of Cyber-Physical Systems & Control, Peter the Great St.Petersburg Polytechnic University (SPbPU). Research interests: discrete mathematics, reliability, safety and technical diagnostics of discrete systems, methods of continuous monitoring of automatic control systems and complex engineering structures. The number of publications — 650. TrES-4b@yandex.ru; 13, 12th line V.O., 199178, St. Petersburg, Russia; office phone: +7(911)709-2164.

Yelina Yeseniya — Research Employee, Solomenko Institute of Transport Problems of the Russian Academy of Sciences (ITP RAS); Assistant, Higher School of Transport at the Institute of Machinery, Materials, and Transport, and Higher School of Cyber-Physical Systems & Control, Peter the Great St.Petersburg Polytechnic University (SPbPU). Research interests: self-testable digital devices, circuit synthesis methods, coding theory, discrete mathematics. The number of publications — 70. eseniya-elina@mail.ru; 13, 12th line V.O., 199178, St. Petersburg, Russia; office phone: +7(911)935-1039.